

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
29 March 2001 (29.03.2001)

PCT

(10) International Publication Number
WO 01/22690 A1

(51) International Patent Classification⁷: H04L 29/06, G06F 13/12

(21) International Application Number: PCT/US00/40775

(22) International Filing Date: 30 August 2000 (30.08.2000)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 09/401,005 21 September 1999 (21.09.1999) US

(71) Applicant: XIRCOM, INC. [US/US]; 2300 Corporate Center Drive, Thousand Oaks, CA 91320 (US).

(72) Inventors: CONLEY, Michael, R.; Xircom, Inc., 2300 Corporate Center Drive, Thousand Oaks, CA 91320 (US). HENDERSON, Eric; Xircom, Inc., 2300 Corporate Center Drive, Thousand Oaks, CA 91320 (US).

(74) Agents: MOK, Louis, A. et al.; Hogan & Hartson L.L.P., Biltmore Tower, Suite 1900, 500 South Grand Avenue, Los Angeles, CA 90071 (US).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

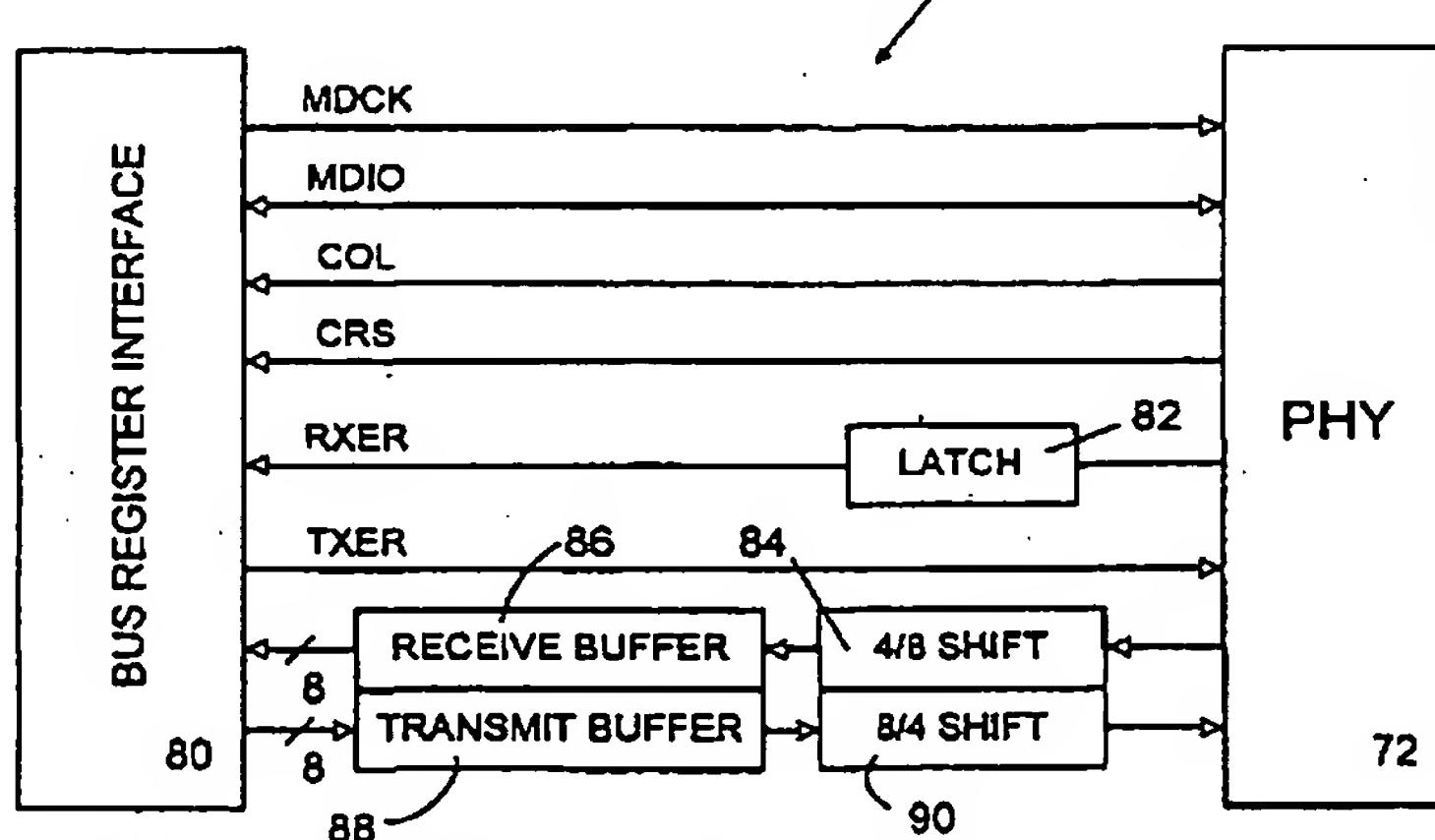
(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Published:

- With international search report.
- Before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments.

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: REDUCED HARDWARE NETWORK ADAPTER AND COMMUNICATION METHOD



(57) Abstract: The present invention provides a network interface adapter for connecting a client computer to a computer network that includes a reduced hardware media access controller (MAC) coupled through a physical interface (PHY) to the network physical link. A significant portion of the MAC functionality is implemented as software within the processor of the host client computer. The hardware portion of the preferred MAC implementation provides memory for buffering communications between the PHY and the client computer. The preferred hardware aspects of a MAC in accordance with the present invention also includes a register interface for register-driven communications between the hardware portion of the MAC and the software portions of the MAC implemented within the client computer. By implementing most of the MAC functionality in software within the host computer, the preferred MAC provides lower cost, lower power consumption, and generally greater flexibility.

WO 01/22690 A1

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号
特表2003-510905
(P2003-510905A)

(43)公表日 平成15年3月18日 (2003.3.18)

(51)Int.Cl.
H04L 12/28
13/08識別記号
200F I
H04L 12/28
13/08テ-マコード* (参考)
200Z 5K033
5K034

審査請求 未請求 予備審査請求 有 (全35頁)

(21)出願番号 特願2001-525928(P2001-525928)
 (86) (22)出願日 平成12年8月30日 (2000.8.30)
 (85)翻訳文提出日 平成14年3月22日 (2002.3.22)
 (86)国際出願番号 PCT/US00/40775
 (87)国際公開番号 WO01/022690
 (87)国際公開日 平成13年3月29日 (2001.3.29)
 (31)優先権主張番号 09/401,005
 (32)優先日 平成11年9月21日 (1999.9.21)
 (33)優先権主張国 米国 (U.S.)

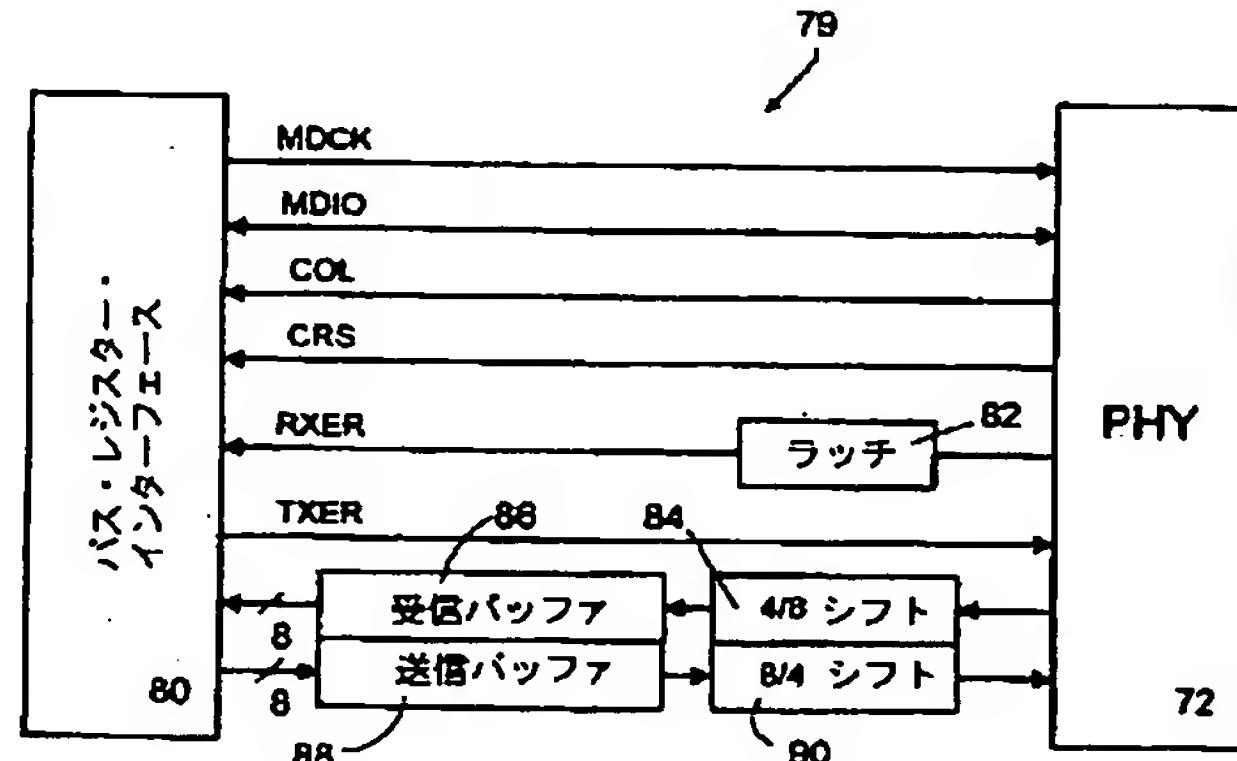
(71)出願人 ザーコム・インコーポレーテッド
アメリカ合衆国カリフォルニア州91320,
サウザンド・オーツ, コーポレート・セ
ンター・ドライブ 2300
 (72)発明者 マイケル・アール・コンリー
アメリカ合衆国カリフォルニア州91320,
サウザンド・オーツ, コーポレート・セ
ンター・ドライブ 2300、ザーコム・イン
コーポレーテッド
 (74)代理人 弁理士 青山 葵 (外1名)

最終頁に続く

(54)【発明の名称】縮小ハードウェア通信アダプタと通信方法

(57)【要約】

本発明は、クライエントコンピュータをコンピュータ通信網に接続する通信インターフェース・アダプタであつて、通信網の物理的リンクへと物理的インターフェースを介して接続した縮小ハードウェア媒体アクセス制御器を備える。この制御器の機能の大部分はホスト・クライエントコンピュータにおけるプロセッサにおいてソフトウェアとして実現されており、他方、ハードウェアの部分は、PHYとクライエントコンピュータとの間での通信をバッファリングするメモリとしている。



【特許請求の範囲】

【請求項 1】 少なくとも一つの送信データ線に接続されて、ホストコンピュータからデータを受信すると共に、そのデータを前記送信データ線を介してデータ通信網の物理的リンクへ転送するに先立って当該データを一時的に格納する送信バッファと、

少なくとも一つの受信データ線に接続されて、データ通信網の物理的リンクから前記受信データ線を介してデータを受信すると共に、そのデータをコンピュータへ送信するに先立って当該データを一時的に格納する受信バッファと、

前記受信バッファと接続したデータ・レジスタを含み、このデータ・レジスタから繰返し読み出しを行うと受信バッファからデータが読み出されるようになっていきる通信レジスタのアレーとからなり、

前記アレーが、ホストコンピュータから読み出し可能であり、データ通信網の物理的リンクにおけるデータの転換状態を識別するデータを格納する、読み出し動作と書き込み動作の内の少なくとも一方における割込み状態を識別する少なくとも1つのピットを有するステータス・レジスタを更に含んでなるコンピュータ通信システム。

【請求項 2】 請求項 1 に記載のシステムであって、前記アレーとデータ通信網への接続点との間にラッチを設け、このラッチにデータのフレームの受信のエラーを識別するエラー信号を格納させると共に、データのフレームを完全に受信するのに充分な時間だけ前記エラー信号を格納させることよりなるコンピュータ通信システム。

【請求項 3】 請求項 1 に記載のシステムであって、データ・レジスタに対して繰返し書き込みを行うことで送信バッファにデータを格納させることよりなるコンピュータ通信システム。

【請求項 4】 請求項 1 に記載のシステムであって、前記送信バッファはPHY回路を介してデータ通信網に接続されていることよりなるコンピュータ通信システム。

【請求項 5】 請求項 4 に記載のシステムであって、前記アレーが、PHY回路の動作を制御する少なくとも一つの信号を格納する媒体非依存型インターフ

エース・レジスタを更に含み、前記信号がデータ通信網に対する読み書きアクセス時にPHYを制御するために媒体非依存型インターフェース・レジスタから送られることよりなるコンピュータ通信システム。

【請求項6】 請求項1に記載のシステムであって、前記通信レジスタのアレーが、ホストコンピュータのプロセッサが実行する通信網通信ソフトウェアにより読み取り可能であり、通信網から読み出したデータがフレーム単位で受信され、また、プロセッサが、データの受信フレーム内に格納されているフレーム検査データに従って受信データのフレームを解析することよりなるコンピュータ通信システム。

【請求項7】 データ通信網からデータを受信して、そのデータをホストコンピュータへ送信するに先立って当該データを一時的に格納する受信バッファを含む媒体アクセス制御器からなるコンピュータ通信システムであって、

前記媒体アクセス制御器が、前記受信バッファと接続したデータ・レジスタを含み、該データ・レジスタから繰返し読み出しを行うことで前記受信バッファからデータを読み出すようにした通信レジスタを更に含んでおり、

前記通信レジスタには、それがセットされるとデータ通信網から受信され、ホストコンピュータに転送すべきデータがある旨を示す少なくとも一つの割込みピットを格納するようにしたステータス・レジスタが更に設けられており、前記割込みピットはホストコンピュータにより読み出されて、読み出すべきデータの存在を表すことよりなるコンピュータ通信システム。

【請求項8】 請求項7に記載のシステムであって、前記受信バッファがPHY回路を介してデータ通信網に接続されることよりなるコンピュータ通信システム。

【請求項9】 請求項8に記載のシステムであって、前記通信レジスタが、PHY回路の動作を制御する少なくとも一つの信号を記憶する媒体非依存型インターフェース・レジスタを備えており、ホストコンピュータからの信号がこの媒体非依存型インターフェース・レジスタから送られて、データがデータ通信網から読み出されるにつれてPHY回路を制御することよりなるコンピュータ通信システム。

【請求項 10】 請求項 7 に記載のシステムであって、前記通信レジスタが、受信バッファに格納されているバイトの数を表す値を格納するものであって、受信バッファからデータが読み出される都度計数値が減少するバイト計数レジスタを備えていることによるコンピュータ通信システム。

【請求項 11】 請求項 10 に記載のシステムであって、ホストコンピュータに常駐するソフトウェアが、バイト計数レジスタに格納されている値を検査するステップと、バイト計数レジスタに格納されている値がゼロでない場合に、データ・レジスタからデータを読み出すステップとからなるシーケンスを実行することによるコンピュータ通信システム。

【請求項 12】 請求項 8 に記載のシステムであって、PHY回路を介するデータの送信で割込みビットがセットされ、この割込みビットが、バス幅が少なくとも 1 バイトであるデータバスを介してホストコンピュータに読み出されることによるコンピュータ通信システム。

【請求項 13】 請求項 7 に記載のシステムであって、フレーム・フォーマットからデータを抽出すべくホストコンピュータにより実行されるソフトウェアを更に設けてなるコンピュータ通信システム。

【請求項 14】 請求項 8 に記載のシステムであって、ステータス・レジスタが、データ通信網におけるエラーを識別するために PHY回路によりセットされる複数のビットを有してなるコンピュータ通信システム。

【請求項 15】 請求項 14 に記載のシステムであって、前記複数のビットには、データ通信網における不適時での搬送信号を検出したことを表す搬送センス・ビットが含まれてなるコンピュータ通信システム。

【請求項 16】 請求項 15 に記載のシステムであって、前記搬送センス・ビットは、ホストコンピュータにおいて実行される MAC プログラムにより読み出されることによるコンピュータ通信システム。

【請求項 17】 複数の通信レジスタを有する媒体アクセス制御器からなるコンピュータ通信システムであって、前記通信レジスタが、受信レジスタと接続され、それからデータを繰返し読み出しと行うとデータ通信網から受信したデータが読み出されるデータレジスタと、

少なくとも一つの割込みビットを有し、その割込みビットがセットされると、データ通信網から受信されるホストコンピュータ宛のデータの存在が示されるようになっているステータス・レジスタと、

媒体アクセス制御器に接続されたPHY回路の動作を制御する少なくとも一つの信号を格納するものであって、ホストコンピュータからの信号が、データ通信網からデータが読み出される都度PHY回路を制御すべく供給されるようになっている媒体非依存型インターフェース・レジスタと、

ホストコンピュータへの転送に備えて媒体アクセス制御器に格納されているバイトの数を表す値を格納するものであって、媒体アクセス制御器からデータが呼び出される都度、その値が減少するバイト計数レジスタとで構成されてなるコンピュータ通信システム。

【発明の詳細な説明】

【0001】

(技術分野)

本発明は、コンピュータと通信網との間でのアダプタ及びインターフェース、接続法に関する。特定の一例として、本発明はコンピュータと、IEEE802.3ないしその拡張版の如くの業界規格プロトコールに準拠して機能するコンピュータ通信網との間でのアダプタと通信方法について説明する。

【0002】

(背景技術)

本発明は、以後、クライエントコンピュータを称するコンピュータを通信網に接続するに当って利用するアダプタに関する。本発明を説明するに当っては、一般に「イーサネット」(登録商標。以後、同様)として知られている、現に使われている通信網に対応して使われる場合を例に取り上げる。この種の通信網では、一般に、IEEE802.3規格、またはその修正規格或いはその拡張版に準拠している。簡単に説明すれば、これらの全ての通信網は、必ずしも正確な名称ではないが、IEEE802.3準拠通信網と呼ばれている。これらの通信網では、そのために開発されているアダプタないし通信インターフェース制御器と同様に、本発明を理解する上での骨組を構成している。

【0003】

ローカル・エリア通信網におけるクライエントコンピュータは、同軸ケーブルや未被覆ツイスト・ペア線或いは被覆ツイスト・ペア線の如くの物理的リンクを介して接続されているのが通常である。この場合クライエントコンピュータから物理的リンクに送信された情報は、プロトコールにより定義付けられている複数のデータ構造内のどれかと、最小フレーム長から最大フレーム長にわたるデータとを有するフレーム単位で送信される。最も簡単なIEEE802.3プロトコールでは、ある時には一台のクライエントコンピュータだけが情報を明確に区別された物理的リンクを介して送信できるようにしている。二台のクライエントコンピュータが同時に、或いは、異なったメッセージ信号の間で干渉が起こるほど時間的に密接して物理的リンクにデータを送信するようなことでもあれば、送信データは汚

損してしまい、使いものにならなくなる。このような事態を軋轢と言うが、クライエントコンピュータの方で検出されるべきである。IEEE802.3通信網では、物理的リンクへのアクセスを制御するのに搬送波センス複合アクセス/軋轢検出(carrier sense multiple access/collision detection)(CSMA/CD)を利用している。従って、クライエントコンピュータが物理的リンクへメッセージを送るに先立って、クライエントコンピュータが物理的リンクに搬送信号があるかどうかを先ず検出する。物理的リンクに搬送信号があれば、その搬送信号がなくなり物理的リンクが使えるようになるまで、クライエントコンピュータはメッセージ送信を控えることになる。

【 0 0 0 4 】

他方、クライエントコンピュータが物理的リンクが使えると判断して始めて、物理的リンクへ、そして通信網へとメッセージ送信ができるようになる。送信側コンピュータは送信後でも、その後のメッセージ送信が続行して目的地に到達するまで送信側コンピュータが待機している間でさえ、軋轢が発生しているかどうかを監視し続けるのである。その過程で軋轢が検出されると、クライエントコンピュータは、少なくとも最小フレーム長に相当する時間間隔だけ送信が続行できるように、時折「妨害シーケンス」を呼ばれている信号を送信し続ける。その後、クライエントコンピュータは所定のランダム時間だけ休止して、残りのデータ送信のために物理的リンクへアクセスできるように再試行する。このように物理的リンクへのアクセスを試行するクライエントコンピュータは、全て同じようにバックオフ・アルゴリズムを実行しているが、待機時間はクライエントコンピュータごとに異なっていると共に、ランダムに割り当てられているから、一方のクライエントコンピュータが物理的リンクへアクセスでき、待機している他方のコンピュータはその後で通信網にアクセスできると言った具合になっている。

【 0 0 0 5 】

情報は一般には、イーサネットまたはその他のCSMA/CD通信網での送受信に適するように纏め上げられている。図1は、イーサネット用フレームのためのデータフレームの構造を示し、図2は、IEEE802.3規格で規定のフレームのためのデータフレームの構造を示している。両方の通信網では、受信側にフレームが送ら

れていることを知らせるのに、「1」と「0」が交互するパターンからなるプリアンブル(preamble)を利用している。イーサネット用フレームにおけるプリアンブル(図1)には、IEEE802.3規格通信網で定義付けられているフレームバイト・フィールドの先頭に相当する余分のバイトが含まれている。フレームバイトの先頭(図2におけるSOF)は「1」ビットが二つ続いて終わっており、物理的リンクと接続したステーションのフレーム受信と同期を取るのに使われる。

【 0 0 0 6 】

これらの通信網での情報のフレーム構造にはメッセージの宛先アドレスと送信元アドレスとが含まれている。送信元アドレスは一台の相手方コンピュータ(ユニキャスト)、一群のコンピュータ(マルチキャスト)、通信網にある全てのコンピュータ(ブロードキャスト)の何れであってもよい。送信元アドレスは特定の送信側コンピュータである。また、イーサネット用フレームには、メッセージを受信する上層アプリケーションのプロトコルを識別する種類フィールドが含まれている。このフィールドは、IEEE802.3規格通信網用フレームにはなく、その代わりに、メッセージにおけるデータのバイト数を表す長さフィールドが使われている。両方のフレーム構造には、考えられる長さ範囲内の恣意的な長さのデータフィールドが備わっており、その後にフレーム・チェック配列が続いている。

【 0 0 0 7 】

CSMA/CD通信網を介してデータフレームを送受信しているクライエントコンピュータは、搬送波検出、軋轢検出、そしてその他のデータ送受信制御を実行するために通信網インターフェース制御器を利用している。データ送信の制御には、フレーム・フォーマットの生成とFCSバイトの算出とが含まれている。他方、データ受信制御には、フレームの検出と、メッセージがそのコンピュータ宛のものかどうかを判定する宛先アドレス調査、フレームが有効なものかどうかを判定するCRCないし他のフレームチェック手順が含まれている。フレームに対してその他の解析が行われることもあり、また、データフレームないし受信動作にエラーがあれば、斯かる解析が行われなければならないこともある。これら全ての処理は従来公知であって、クライエントコンピュータをローカル・エリアCSMA/CD通信網にリンクするアダプタないし制御器が実行している。

【 0 0 0 8 】

通信網インターフェース制御器は、アプリケーション特異型集積回路(ASIC)の如くの集積回路として実現している。米国特許第5,872,920号に開示されているASICでのイーサネット用制御器の構成例を図3に概略的に示す。通信網制御器ASIC10はホスト側コンピュータシステムのバス20と、通信網の物理的リンク30の一部をなすツイスト・ペアワイヤーないし同軸ケーブルとのインターフェースを取る。物理的インターフェースからの情報の送受信はトランシーバ40により行われるか、または、アッタチメント型インターフェース42を介して行われる。物理的リンク30を介して送信する情報はエンコーダ44により符号化されるが、この物理的リンク30から受信されて当該情報はデコーダ46により復号される。一般に、IEEE802.3規格通信網ではマンチェスター型符号器、復号器が使われている。

【 0 0 0 9 】

制御器50はマイクロコントローラやその他のプロセッサでもよいが、この制御器50は、一般に、適当な送信制御プログラム52と受信制御プログラム54、または、状態機械(state machine)を利用して送受信動作を制御するASIC10ないの中心部として使われている。これらのプログラムで、CSMA/CD通信網からデータを送受信するのに必要な種々のデータ制御動作を処理しており、例えば物理的媒体上での転換によるエラー状態を処理して必要に応じてそのデータを再送信することもそのデータ制御動作に含まれている。IEEE802.3規格の如く該当する規格を実現するのに望まれている機能の大部分は、この制御器50において実行されている。この制御器50に対して入出力するデータは送信側FIFO56と受信側FIFO58によりバッファされる。ホストコンピュータのバス20へのデータ送信を含むホストコンピュータとの通信はホスト側インターフェース60がとりもつ。EEPROM62に保存されているデータ群ないしプログラムを書き換えるか、または更新することでホスト側インターフェース60をアップデートする手段も使われている。これらの回路についてのもっと詳しい説明や機能などについては、本願明細書の一部をなすものとしてここに挙げる前掲の米国特許第5,872,920号に開示されている。

【 0 0 1 0 】

尚、図3に示した通信用インターフェース制御器は一つのASICについて使われているものとして示したが、それ以外の使われ方も周知である。例えば、特定の通信網の物理的な構成(駆動用磁気装置やデジタル/アナログ回路、アナログ/デジタル回路などを含む)は大いに変化することから、エンコーダやデコーダ、トランシーバ、さては物理的リンクに対するその他のインターフェースなどを専用チップに組み込むのが望ましい。また、アーキテクチャにしても、はっきり識別しうるPHYチップで実現するとして、大きなフレキシビリティを持たせ、それにより高密度化単チップ型通信インターフェース制御器を利用するよりも費用対効果を大きくとれるようにしてよい。

【 0 0 1 1 】

図3に示したASIC10の如くの集積回路が他通信インターフェース制御器において得られる機能を増大するのに、多大な努力が払われている。例えば、附加的な機能とフレキシビリティを通信用インターフェースに組み込むことができれば、通信網での送受信規格の改善策や修正事項に対応させることができる。現今、基本IEEE802.3技術の高速化版が注目されている。

【 0 0 1 2 】

(発明の開示)

本発明の好ましい実施の形態により、低成本で、通信網対応型コンピュータに良好に利用できる構造の簡単な制御器が得られる。本発明は、比較的簡単なインターフェース構造を提供すると共に、ホストコンピュータのプロセッサでもつと沢山の通信用インターフェース制御機能が実行できるようにすることで、通信インターフェースを低成本にして、高度のフレキシブルにしている。

【 0 0 1 3 】

本発明のある一面では、少なくとも一つの送信データ線と接続した送信バッファを有するコンピュータ通信システムを提供している。送信バッファにはホストコンピュータからのデータを保留して、そのデータを送信データ線を介してデータ通信網の物理的リンクへ送信するに先だって記憶するようになっている。受信バッファも少なくとも一本の受信データ線に接続してあって、この受信データ線

を介してデータ通信網の物理的リンクからデータを受信すると共に、そのデータをコンピュータに提供するに先立って記憶するようになっている。また、通信レジスタのアレーを利用している。このアレーは、受信バッファと接続したデータ・レジスタを備え、データ・レジスタからくり返して読み取ることでデータが受信バッファから読み出される。また、このアレーには、通信網の物理的リンクにおけるデータの転換を識別するデータを記憶するステータス・レジスタも備わっており、このステータス・レジスタはホストコンピュータから読み出される。また、このステータス・レジスタには、読み出し動作と書き込み動作の内の少なくとも一方における割り込み状態を表す少なくとも一つのビットが含まれている。

【 0 0 1 4 】

本発明の別の面では、データ通信網からデータを受信してそのデータをホストコンピュータに提供するに先立って一時的に保存するように接続した受信バッファを含む媒体アクセス制御器からなるコンピュータ通信システムを提供している。媒体アクセス制御器は、受信バッファと接続したデータ・レジスタを含む通信レジスタを有しており、このデータ・レジスタから繰り返して読み出すことでデータが受信バッファから読み出される。この通信レジスタは、少なくとも一つの割込みビットを記憶するステータス・レジスタを備えている。割込みビットは、データ通信網から受信した、ホストコンピュータ宛のデータがあることを示すべく設定されているものであって、この割込みビットは、読み出すべきデータがあることを示すためにホストコンピュータにより読み出される。

【 0 0 1 5 】

本発明のまた別の面によれば、複数の通信レジスタを含む媒体アクセス制御器からなるコンピュータ通信システムが提供されている。好ましくは、この通信レジスタは、受信バッファと接続されたデータ・レジスタを含むのが望ましく、これによりデータ・レジスタから繰り返して読み出すことでデータ通信網から受信したデータを読み出すことができる。ステータス・レジスタには少なくとも一つの割込みビットが記憶されていて、この割込みビットはデータ通信網から受信した、ホストコンピュータ宛のデータがあることを示すように設定されており、ホストコンピュータにより読み出されるようになっている。媒体非依存型インター

フェースレジスタも備わっていて、このレジスタには媒体アクセス制御器と接続したPHY回路の動作を制御する少なくとも一つの信号を記憶されており、ホストコンピュータからの信号が、データ通信網からデータが読み出されるに伴ってPHY回路を制御すべくこの媒体非依存型インターフェース・レジスタから送られるようになっている。バイト計数レジスタには、ホストコンピュータへの転送に備えて媒体アクセス制御器に保存のバイト数を表す値が記憶されており、媒体アクセス制御器からデータが読み出される都度、このバイト計数レジスタの値が減っていく。

【 0 0 1 6 】

コンピュータと通信網との間の通信は従来より通信用インターフェース制御器(NIC)、即ち、アダプタを介して行われている。本発明の好ましい実施の形態では、この通信用インターフェース制御器を縮小ハードウェアで実現している。本発明によるアダプタの好ましい面を実現することで、従来の制御器に比して低コストで、低電力消費型の通信用インターフェース接続を備えたコンピュータを提供することができる。本発明により、前述のアダプタを、技術変化に対応できる、或いは、特殊用途での解決策に対応するように容易に変えられるようになることが可能である。

【 0 0 1 7 】

本発明の特に好ましい実施の形態では、ホスト・クライエントコンピュータにおいてソフトウェアで実現しているMAC機能の著しい部分を有する縮小ハードウェアMACを提供している。より好ましくは、クライエントコンピュータで行われるこのMAC機能は、クライエントコンピュータにおけるプロセッサにおけるソフトウェアで実現するのが望ましく、特にこのMAC機能がパソコンのアーキテクチャにおけるプライマリプロセッサにおいて実現されるようになるのがもっと望ましい。このMAC機能のハードウェアは、PHYとクライエントコンピュータとの間の通信をバッファするメモリである。本発明にあってはこのMACの好ましいハードウェアとしては、MACのハードウェア部と、クライエントコンピュータでのMAC機能のソフトウェア部との間でのレジスタ駆動型通信のためのレジスタインターフェースが挙げられる。MAC機能の大部分をホストコン

ピュータにあってはソフトウェアで行うことにより、低コスト、低電力消費型にして、フレキシビリティの大きい好ましいM A Cが得られる。

【 0 0 1 8 】

また、本発明は、クライエントないしその他のコンピュータと、IEEE802.3規格に準拠して動作するローカル・エリア通信網の如くの通信網との間のインターフェースを提供することもできるものである。皿の本発明の別の面では、IEEE802.3規格準拠通信網を介してコンピュータと一台か、それ以上の他のコンピュータとの間で情報の送受信を行う方法をも提供している。尚、IEEE802.3規格なる用語は、本願明細書においては広義的な意味で用いており、ギガビット・イーサネットを含む現に計画中の通信法や、今後開発されるその他の修正規格などによる通信法などを含むCSMA/CD通信網を含むものである。本発明者らは、本発明によるこれらの局面は、他のプロトコールを利用する他の通信網を介してインターフェースしたり、通信する場合でも利点をもたらすものと確信している。ここで説明する例と説明の大部分は、IEEE802.3規格通信網についてはよく知られていること、また、今のところではIEEE802.3規格通信網とイーサネット通信網が流行っていることから、これらの通信網を利用して通信を行う場合についてなされている。しかしながら、本発明を説明するに当って利用する特定の用途で、本発明の範囲を限定すべきではない。

【 0 0 1 9 】

同様なことから、本発明の説明は、現に利用されているIEEE802.3規格プロトコールの枠内で行うものとする。但し、このIEEE802.3規格は更に進展するだろうし、また、後継版に引き継がれることもあるだろう。本発明の大部分はこのよう通信網にも適用しても、利点が損なわれることはないものと思われる。

【 0 0 2 0 】

(発明を実施するための最良の形態)

図4は、通信網との間で情報の送受信を行うクライエントコンピュータ70のアーキテクチャの概略図を示す。データ通信網には、クライエントコンピュータに対して送受信される実際のデータ信号を搬送するペア線ないし同軸ケーブルの如くの物理的リンクを含んでいる。クライエントコンピュータ72は、図4にあ

っては P H Y 7 2 の如くの通信網モデルの物理的レイヤーを介してこの物理的リンクと接続してある。 P H Y には、物理的リンクへ信号を入れたり、その物理的リンクから信号を取出したりための磁気回路が備わっていてもよい。また、この P H Y 7 2 には、アナログ/デジタル変換器やデジタル/アナログ変換器、受信した或いは供給されたクロック信号に応じて物理的リンクから信号を回収する位相同期検出回路などの支援回路類が備わっている。一般に、 P H Y 7 2 には図 3 に示した如くの符号化及び復号化回路も備わっているのが通常である。

【 0 0 2 1 】

一般に、 P H Y 7 2 は、特定の通信網プロトコルないし定義に適応されている。従って、 P H Y 7 2 のある面は、それが明確に識別しうるチップであるか、または、 A S I C に設けるべきコアとなっているかどうかに関わらず、図 4 のアーキテクチャの異なったアプリケーション間で著しく変わっていることがあるが、それでもよく知られていると共に、理解されている。

【 0 0 2 2 】

図 4 に示した通信網モデルの次の高次レベルは媒体アクセス制御器、即ち M A C 7 4 である。この M A C 7 4 は広範囲の機能を実現しているが、一般にはデータが通信網モデルのおけるその次の高次レベルで直ちに利用できる形になっているよう、 P H Y 7 2 から提供されたデータビットのストリームを先ず解析してフォーマットする役目をなす。この M A C 7 4 は、クライエントコンピュータ 7 0 のオペレーティング・システム 7 6 と交信して通信網から受信したデータを記憶する。一般にこの M A C 7 4 はクライエントコンピュータにあってオペレーティング・システム 7 6 とやり取りするアプリケーションプログラム 7 8 に応答して、情報送信ないし要求のメッセージを生成する。

【 0 0 2 3 】

M A C の機能には、沢山の異なった様相の通信が含まれている。例えば、通信網からのデータは 4 ビットパラレル・フォーマットで P H Y 7 2 から送られることがある。この場合、 M A C はこの 4 ビットパラレルデータを、クライエントコンピュータに適したバイトないしワード、例えば 8 ビットバイトか 3 2 ビットワードに再編成するのが望ましい。 M A C に含まれるその他の様相の通信には、ア

トレス認識、フレーム認識、フレーム解析、転換状態やその他の通信網上のエラーの検出と管理が含まれている。従来技術のRANで説明し、図3にも示したように、従来ではこのMAC74は、単一の集積回路上で種々の機能を行うようになっている。そのような従来のMACでは、これらの機能を実行する状態機械ないしプログラムを実行することのできるプロセッサないしそ他の形式の論理装置が備わっている。

【0024】

本発明では、簡単なMAC、少なくとも回路の観点からして簡単なMACを利用している。大抵の用途にあっては、本発明の実施の形態には、簡素型ハードウェアMACと相補型ソフトウェアMACとが、共に組み合わさって図3に示したMACが行う機能の大部分を提供できるように、好ましくはホストプロセッサに備わっているものが含まれている。言うまでもないことではあるが、本発明の一実施の形態によりMACを実現すると、MAC機能が足りない状態で、本発明の様相を実践することになることが考えられる。図3に示したMACとは異なって、本発明の好ましい様相によるMACでは、最小限の回路群を備えて、クライエントコンピュータ70のプロセッサにおいて大部分のMAC機能を実行することができる。この場合、本発明によるMACには、パソコンや類似のクライエントコンピュータのマイクロプロセッサにより実行されるべきソフトウェアとして実現されるその他の様相のMAC機能と共に、バッファメモリと通信レジスタ群とを備えている。

【0025】

図5は、本発明による通信インターフェース・アダプタ79の特に好ましいハードウェア構成を示す。図示のように、アダプタは、ターゲットの通信網用物理的リンクと縮小ハードウェア型MACに適当なPHY772を備えている。縮小ハードウェア型MACには、データがPHY72に対して送受信されるに伴ってそのデータをバッファするメモリを備えており、このメモリとしては、1フレームのデータを受信するのに要する全時間だけにわたって発生する受信エラー信号を記憶するラッチが挙げられる。図示した特に好ましいMACの残りのハードウェアの様相には、命令、ステータス情報、エラー情報の送受信を取り扱い、アダ

プラとクライエントコンピュータとの間でのデータ送受信を促進する一群のレジスタが含まれている。従って、図示のバス・レジスタ・インターフェース80には、大部分の通信機能がクライエントコンピュータにおいて、好ましくはクライエントコンピュータのプロセッサにおいて行われるように、完全ではあるが比較的小限の通信用及びデータ用レジスタが備わっているのが望ましい。

【 0 0 2 6 】

図5において、上の二本の線はPHY72における媒体非依存型インターフェース(MII)との通信のための信号線である。信号線MDCKは、インターフェース80からPHY72にデータクロック信号を供給するものであり、PHY72のMIIに対するデータの読み出しと書き込みに利用する。信号線MDIOは、バス・レジスタ・インターフェース80とPHY72との間でのMII通信のためのシリアルデータ線である。MDIOを介して送受信される命令やその他の情報は、既に知られているプロトコルであり、産業界で標準化されている媒体非依存型インターフェースの要件に準拠するものである。

【 0 0 2 7 】

図5においてその次の二本の線は、PHY72からバス・レジスタ・インターフェース80への通信網状態を送信するものである。線COLは、PHY72から物理的リンクを介してデータを送信しているときに、当該物理的リンクで軋轢状態が検出された場合に信号が送信される信号線である。線CRSは、メッセージが受信されているときに物理的リンクに搬送信号(搬送波センス)があることを示す信号が供給される信号線である。COL線とCRS線上の信号はインターフェース80ないの命令/ステータス・レジスタ内に保存されるので、ホスト・クライエントコンピュータはエラー状態を検出して、適切なエラー処理機能を実行できるようになっている。

【 0 0 2 8 】

図5においてまた次の二本の線はPHY72からバス・レジスタ・インターフェースへの、物理的リンクから受信したデータの有効性を表す情報の送信路である。線RXERでは、データ受信時でのエラーを表す信号が搬送される。この線RXERを介して送られる信号は、少なくとも1フレームのデータ送信に掛る時間に比べる

と比較的短寿命の信号になっていることもある。従って、この線に沿ってラッチ82を設けて、そのフレームのデータの送信が終わった後にバス・レジスタ・インターフェース80にPHY72から発するエラー信号が記憶されるのを確実にするために、当該エラー信号がそのラッチ82に保存されるようにするのが望ましい。線TXERは、物理的リンクへのデータ送信について同様な機能を行うものである。PHY72とその後の物理的リンクへのデータ送信においてエラーが発生することが分かっている場合、インターフェース80によりこの線TXERを介して信号が送られる。例えば、線TXERは、MACの送信バッファ88にアンダーフロー・エラーが発生したことを利用することができる。

【0029】

図示の実施の形態にあっては、バス・レジスタ・インターフェース80が8ビット・バイト単位でデータを記憶する。PHY72に対して送受信されるデータは4パラレルビットとして編成されている。従って、PHYからの4ビットデータを適当に構築したレジスタ84において8ビットデータに再編成するのが望ましい。このレジスタ84としては、4ビット・パラレル・シフトレジスタとして示してある。このレジスタ84からの出力は受信バッファ86に送られるが、このレジスタ86は、データが読み出されてバス・レジスタ・インターフェース80を介してクライエントコンピュータへ送られる前に物理的リンクから受信したデータを記憶するようになっている。クライエントコンピュータからのデータは8ビット・バイトであって、送信バッファ88に供給されるが、この送信バッファ88は、レジスタ90に供給するに先立ってそのデータを記憶する。レジスタ90は、8ビットデータを連続する4ビットデータアイテムに編成して、そのデータアイテムをPHY72に供給するものである。

【0030】

受信バッファ86と送信バッファ88とは、好ましくはクライエントコンピュータにおけるレイテンシを吸収するのに適当な規模のFIFO(先入れ先出しメモリ)であるのが望ましい。図5に示したアダプタの役割が、クライエントコンピュータの好ましいマイクロプロセッサにより行われる複数のタスクの内の一つだけであるから、プロセッサが物理的リンクへ送信中、または、当該物理的リンク

クから受信中のデータを処理する準備が整っていないような事態があり得る。従って、送信側FIFOと受信側FIFOとは、一般的なレイテンシ遅延時間(latency delay)を吸収するのに充分な容量であるのが望ましいのである。実地では、適当なバッファの容量としては、大凡1パケット相当の容量、または、約200バイト程度の容量である。バッファの適当な容量は、システム設計に従って選定することができる。データを受信するか、送信する必要のあるレートは、アダプタが利用している特定の通信網によって変わるので、バッファの容量としても、用途に応じて著しく変わる。

【 0 0 3 1 】

図6に、クライエントコンピュータ100を一群のツイスト・ペア線104を介して通信網102に接続するアダプタ79を示す。図示のアダプタ79は、図5に示した構造を有しているのが望ましく、特に、図5に示したバッファメモリとバス・レジスタ・インターフェース80とからなる縮小ハードウェア型MAC106を構成しているのが望ましい。縮小ハードウェア型MAC106は、バス110を介してクライエントコンピュータ100のプロセッサ108と接続するのが望ましい。また、バス110は、レイテンシを最小限にするために所望速度でMAC106に対してデータの出し入れを行うためにも32ビット、ないし、充分な速度で動作する大容量バスであるのが望ましい。MAC106を、PCIバスまたは、好みの実施の形態としてはPCバス、カードバス、或いは、PCMCIAカードをノートブック型コンピュータないしその他の携帯型コンピュータに接続するのに適したその他のバスの如くの適当なバスに接続することにより、適当なバス速度が得られる。これらのバスを利用するだけでも、プロセッサ108上で走るソフトウェアとしてMAC機能の著しい部分を充分高速にて実行することができる。アダプタ79としては、特に携帯型コンピュータで本発明を利用する場合に大きさが小さく、電力消費も少ないのである。

【 0 0 3 2 】

クライエントコンピュータのオペレーティング・システム114の少なくとも一部とMACのソフトウェア部116の一部とは、通信網102の物理的リンクに対して情報の送受信が行われるに伴いメモリ112で実行されるようにするの

が望ましい。図示のメモリ112は、その一部がプロセッサ108に、残りがDRAMもしくは、例えばディスクドライブ、フラッシュメモリ、またはソリッド・ステート・メモリの如くの非揮発性メモリのアレーに備わっているのが望ましい。他の実施の形態としては、図示のメモリ112は、それ自体全てがプロセッサ108の内部、もしくは外部に備わっていてもよい。このメモリがどのような形で実現されているかに関わらず、MAC116のソフトウェア部は、MAC106内の通信レジスタ80をアドレスすることにより、プロセッサ108内のオペレーティング・システム114を介してMACのハードウェア部と通信できるのが望ましい。

【0033】

バス・レジスタ・インターフェース80における通信レジスタは、好ましいレジスタ・アドレス・スキームを利用してアドレスできる。図7に示した実施の形態では、合計8個のレジスタからなる最小レジスタ装置をアドレスするのに3ビットアドレス信号を利用している。図示のように、4個の下位レジスタに4個のデータ・レジスタを設けているが、次の2個のレジスタとアドレスとは、受信側FIFO86から読み出すのに使われるバイトの数を記憶するバイト計数レジスタに使うのが望ましい。データ・レジスタについてはその詳細なところを図8に示す。このデータ・レジスタから繰り返して読み出しを行うと、受信側FIFO86からデータが取り出せ、また、このデータ・レジスタに繰り返して書き込みを行うと、送信側FIFO88に通信網102へ送信すべきデータを書き込むことができる。バイト計数レジスタの詳細なところについては、図9にそれを示す。これらのバイト計数レジスタは読み取り動作で使われて、通信網102から受信されるべきデータの有無とその量を示すのに使われる。受信バッファにデータが書き込まれるにつれて、バイト計数レジスタに記憶されている値が増加するが、受信バッファ86からデータが読み出される都度、バイト計数レジスタに記憶されている値は減少する。

【0034】

尚、通信網から受信するデータにはエラーデータが含まれていることもあれば、適切なフレームデータが含まれていることもある。従って、通信網から受信す

べきデータが別に残っているかどうかを判定するのに、転送されたデータそのもののを拠所とするのは一般には望ましくないことである。

【 0 0 3 5 】

図10と図11とは、書き込み動作と読み出し動作のための命令/ステータス・レジスタをそれぞれ示しており、両レジスタは同一アドレスを有しているが、その定義は書き込み動作と読み出し動作とで異なっている。ビット0は、アダプタからクライエントコンピュータのオペレーティング・システムに対する書き込み動作での割り込みを可能とするものとなっている。命令/ステータス・レジスタのビット7は、アダプタをリセットすべくクライエントコンピュータにより設定される。このビットは、アダプタのリセットと共に自動的にクリアする。

【 0 0 3 6 】

MACソフトウェア116がアダプタを読み取っていると、命令/ステータス・レジスタ(図11)は、割込み待機ビットとしてビット0を利用して、ホスト・クライエントコンピュータに読み出しが終わるまで待機するように通知する。このMACソフトウェア116は命令・ステータス・レジスタを読み取って、割込みに伴ってどんな処理が求められているのか、また、読み出すべきデータ(BC)があるかどうか、処理すべきエラー(CO、CRS)があるかどうかなどを判定する。一端割込みビットが読み出されると、それがリセットされる。残りのビット1~3はPHYからの搬送センス、転換センス、受信データ有効信号に割り当てられている。バイト計数値ビットBCがゼロでない場合、MACソフトウェアは受信バッファ86からデータを読み出すべくデータ・レジスタの読み出し動作を開始する。COLビットとCRSビットの何れかが有効であれば、MACソフトウェア116が呼び出されて、バックオフ・アルゴリズムを実行するか(COL)、受信バッファから間違ったデータをクリアするとかでその間違った受信データを破棄することにより、エラー状態を処理する。

【 0 0 3 7 】

図12は、好ましいバス・レジスタ・インターフェース80における最後の位置を占めるMIIレジスタでのビットの定義を示している。このMII、即ち、縮小媒体非依存型インターフェース(RMII)は、PHYの動作を制御、監視する

のにMACソフトウェア116により利用される。MII情報の通信は、MIIレジスタのMDヒットとMDIO線(図5)とPHYのMDIOピンとを介してそれぞれシリアルに行われる。

【 0 0 3 8 】

MACソフトウェア116は、アダプタ79の大部分の動作を制御する。一般に、MACソフトウェアは、割込みとデータ転送を処理する低位部(lower level piece)と、高度ではあるが、即座でもない動作を行う高位部とからなるものと見ることができる。受信動作は割込みで開始し、割込み動作はMACソフトウェア116の低位部により処理される。オペレーティング・システム114がアダプタ79から割込みを受け取ると、そのオペレーティング・システムはMACソフトウェアの低位部を呼び出すことになる。

【 0 0 3 9 】

低位部は、命令・ステータス・レジスタを読み出して割込み待機ヒット(interrupt pending bit)をクリアする。データがあれば、この低位部は、先ずバイト計数レジスタ(図9)におけるバイト計数値をチェックするループを開始する。バイト計数値がゼロであれば、低位部はループを終えてスタンバイ状態へ復帰するが、バイト計数値がゼロでない場合では、データ・レジスタ(図8)からデータが読み出される。このループは、バイト計数値がゼロになるまで実行される、その後、別の割込みが検出されるまで低位部がループを終えてスタンバイ状態に復帰する。

【 0 0 4 0 】

低位部により読み出されたデータはプロセッサ内のバッファか、DRAMに記憶される。フレームの定義や、IEEE802.3規格プロトコール、または、通信網とその通信が準拠している他のプロトコールに適切なその他の処理に応じて、更なる処理が必要になる。例えば、IEEE802.3規格通信網でのデータ・パケットの処理では、プロセッサ108がフレームのプリアンブルを検出したり、フレームが有効長であるかどうかを判定するためにフレーム長をチェックすることがある。プロセッサは、フレームが有効かどうかを判定するに当りFCSデータを利用してフレームを評価する。例えば、FCSデータがCRCデータであれば、そのデータが

有効かどうかを判定するのにプロトコールにより定義付けられているチェック多项選択法(check polynomial)を利用してそのデータに対して多项除法を行う。これら全ての機能はMACソフトウェア116の高位部が実行する。MACソフトウェアは、パケットのアドレスがホスト・クライエント・コンピュータに適当なものであるかどうかを検出するためにフィルターリングを行うこともある。

【 0 0 4 1 】

更に、MACソフトウェアは、通信網のプロトコールに従って通信網統計を追跡する。この統計には、うまく送信できたフレーム数と間違ったフレームの送信頻度などが含まれる。これらの統計は、簡易型通信網管理プロトコールに準拠したソフトウェアの如くの通信網管理ソフトウェアが利用する。

【 0 0 4 2 】

通信網にデータを書込む動作は、MACソフトウェア116とアダプタ79との共同作業でもある。通信網に供給すべきデータは、MACソフトウェアの高位部により適当なフレームに編成され、低位部が、巡回冗長検査(CRC)データの如くのFCSデータを演算して、このFCSデータとフレームに付帯させる。データのフレームはMACソフトウェアの低位部に送られ、そこでデータ・レジスタに、ひいてはアダプタの送信側FIFO88に書き込まれる。MACソフトウェア116の低位部は、バッファFIFO88から通信網にデータが安全に転送されることを確実にするために、送信時にアダプタを監視する。例えば、FIFOが満杯で、余分のデータを格納できないとか、FIFOが完全に空になっている(アンダーフロー状態にある)かどうかを調べるために、低位部がFIFOを検査する。また、この低位部は、転換状態が起こっているかどうかを判定するために命令/ステータス・レジスタのCOLビットを監視する。

【 0 0 4 3 】

MAC・フォトウェア115の高位部は、イーサネット通信網ないしIEEE802.3規格通信網のよく知られている機能を実行する。これらの機能については、従来型通信インターフェース制御器のプロセッサにおいてソフトウェアまたは状態機械として従来より実現されている。従って、これらの機能をホスト・クライエント・コンピュータのマイクロプロセッサないしその他のプロセッサで実行するこ

とは、当業者に周知のことである。従って、これらの機能についてはここでは詳細に説明しないものとする。

【 0 0 4 4 】

本発明によるアダプタの取付については、Pターゲットの通信網に対応した例えはCMCIAカード内に縮小ハードウェアMACを設けることから始める。ホストコンピュータには対応するドライバ・ソフトウェアを、ホストコンピュータのオペレーティング・システムがMACソフトウェアにアクセスできる用にホストコンピュータにインストールする。

【 0 0 4 5 】

当業者にはここで説明した以外の設計や変形例が想到しうるところである。例えは、図5に示した縮小ハードウェアMACは、ASIC内で構成するコアとして、或いは、PHY内に設けてもよい。また、縮小ハードウェアMACは、システム内で明確に識別しうるコアとしてチップ上に実現してもよく、その場合、システム内で実現したMACのソフトウェア部はチップのプロセッサに設ける。本発明によれば、通信インターフェース・アダプタにフレキシブルなアーキテクチャが得られる。従って、本願発明者らは、本発明によるアダプタは、種々の通信網プロトコールの環境で如何様にも利用できるものと期待する次第である。また、バス・レジスタ・インターフェースには、本発明の縮小ハードウェアMACを構築するのに種々の組合せのレジスタで構成することもできる。

【図面の簡単な説明】

【図1】 イーサネット通信網のフレーム構造を示す。

【図2】 IEEE802.3規格による通信網のフレーム構造を示す。

【図3】 チップ上で高度な機能を提供する通信網インターフェース制御チップを示す。

【図4】 本発明の一面でのアーキテクチャを示す図である。

【図5】 本発明による通信網制御器の実施の形態を示す。

【図6】 クライエントコンピュータを通信網に接続する図5の通信網インターフェース制御器を示す。

【図7】 図5の制御機内に設けた好ましいレジスタ群におけるレジスタの

アドレスと機能を示す。

【図 8】 図 7 のレジスタ群におけるイーサネットデータ・レジスタの構造と機能を示す。

【図 9】 図 7 のレジスタ群におけるバイト計数レジスタの構造と機能を示す。

【図 10】 書込み動作のための図 7 のレジスタ群における命令/ステータス・レジスタの構造と機能を示す。

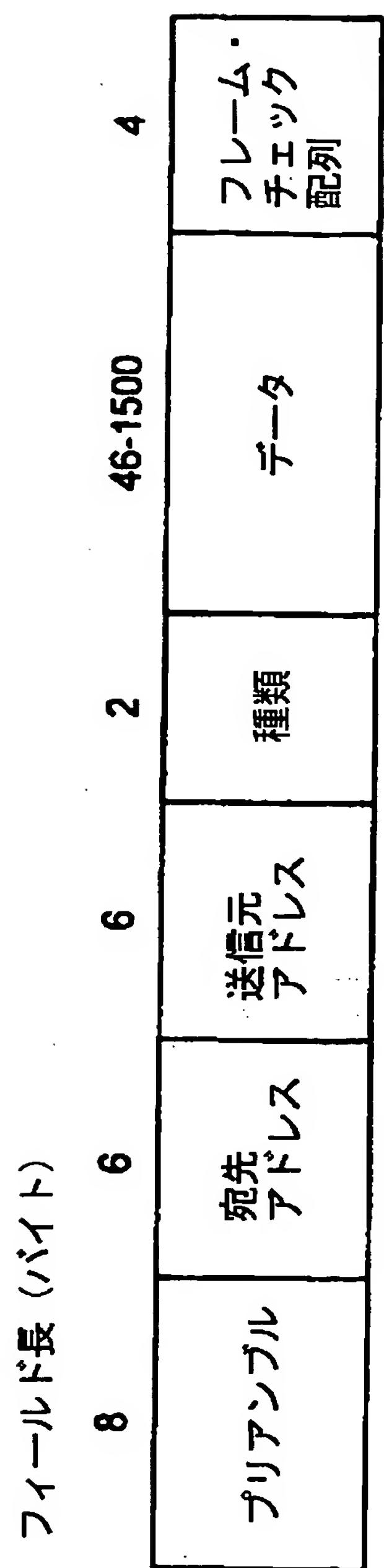
【図 11】 読出し動作のための図 7 のレジスタ群における命令/ステータス・レジスタの構造と機能を示す。

【図 12】 図 7 のレジスタ群におけるM I I(媒体非依存型インターフェース)の構造と機能を示す。

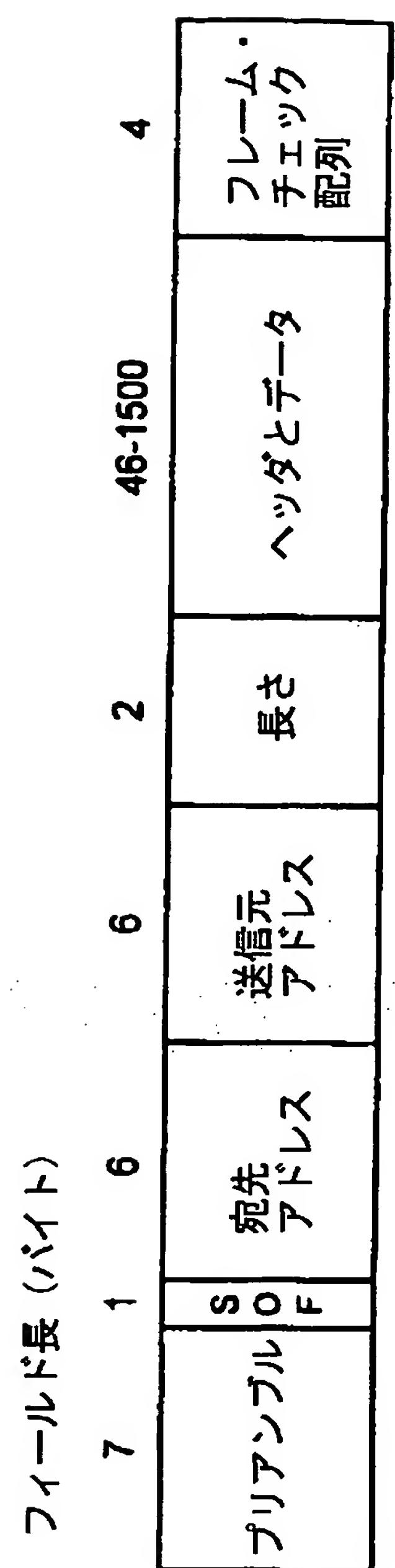
【符号の説明】

1 0	A S I C	2 0	バス
3 0	物理的リンク	4 0	トランシーバ
4 1	A U I	4 4	エンコーダ
4 6	デコーダ	5 2	送信側制御プログラム
5 4	受信側制御プログラム	5 6	送信側F I F O
5 8	受信側F I F O	6 0	ホスト側インターフェース
6 2	E E P R O M	7 0	クライエントコンピュータ
7 2	P H Y	7 9	アダプタ
8 0	バス・レジスタ・インターフェース		

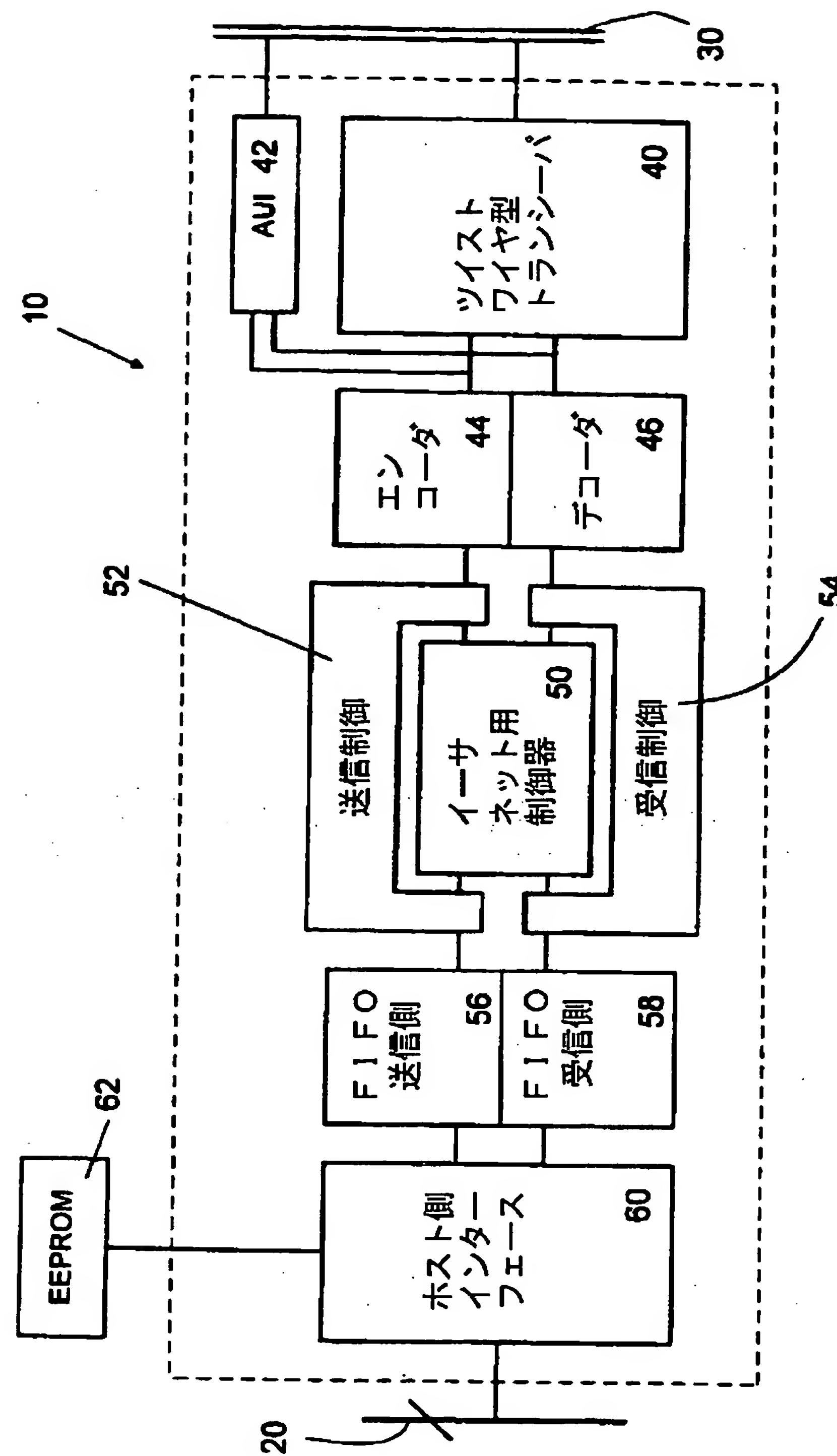
【図1】



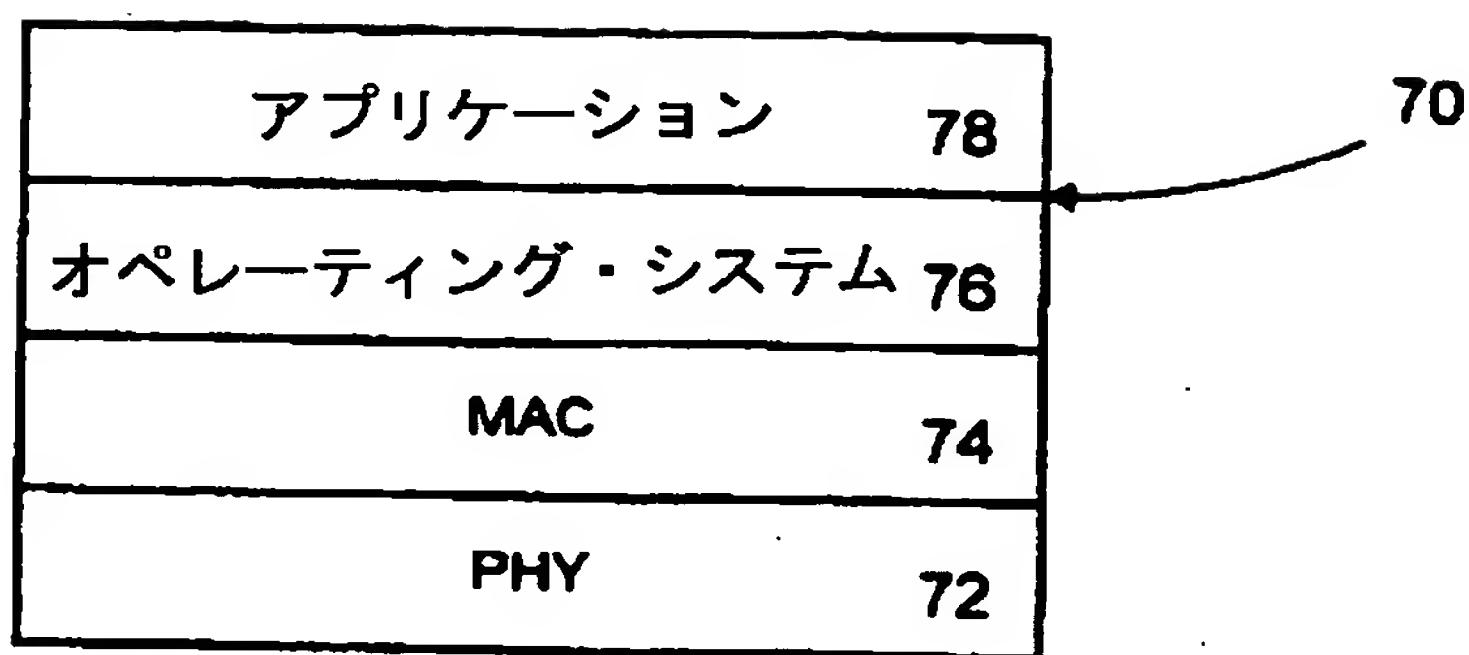
【図2】



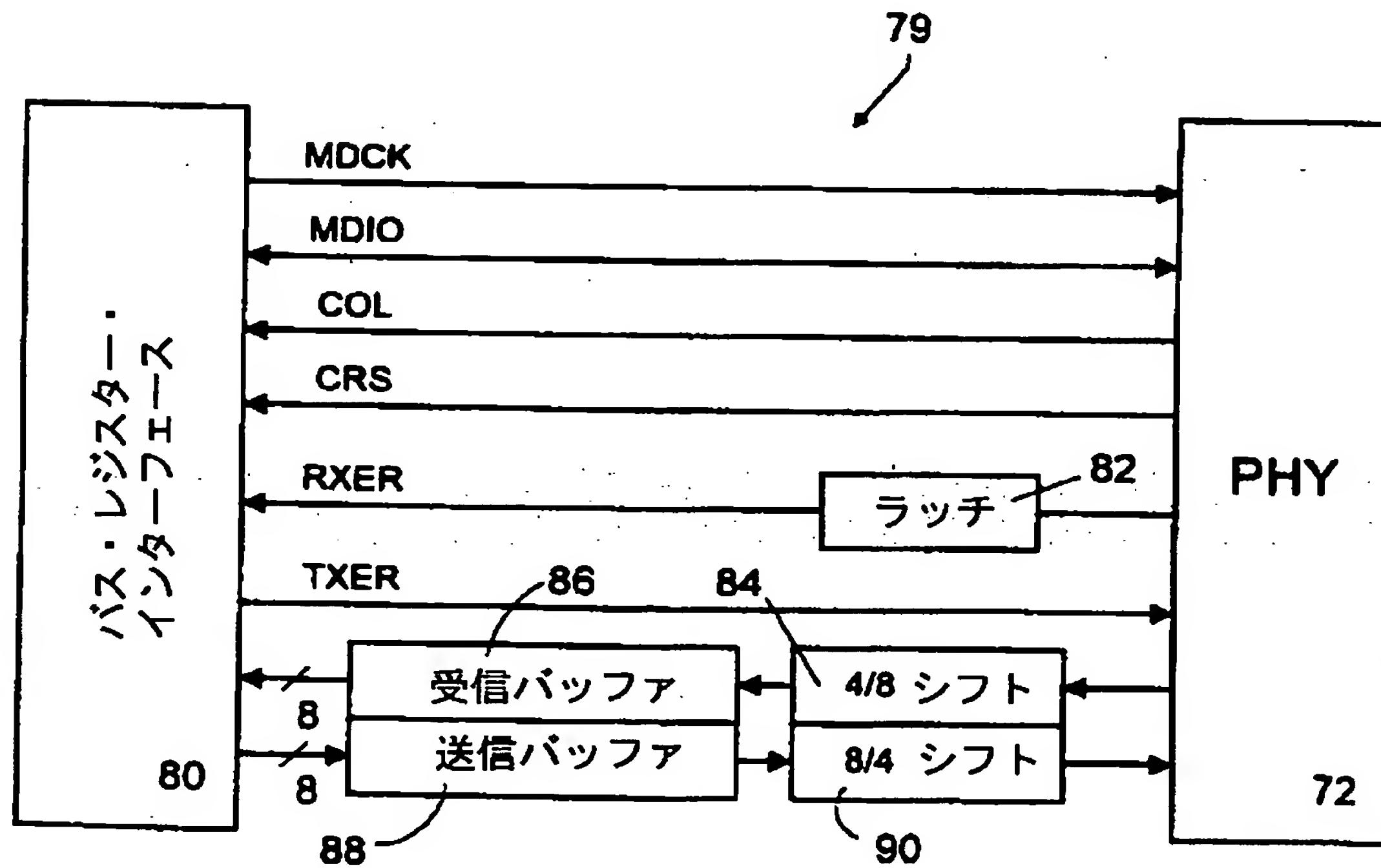
【図3】



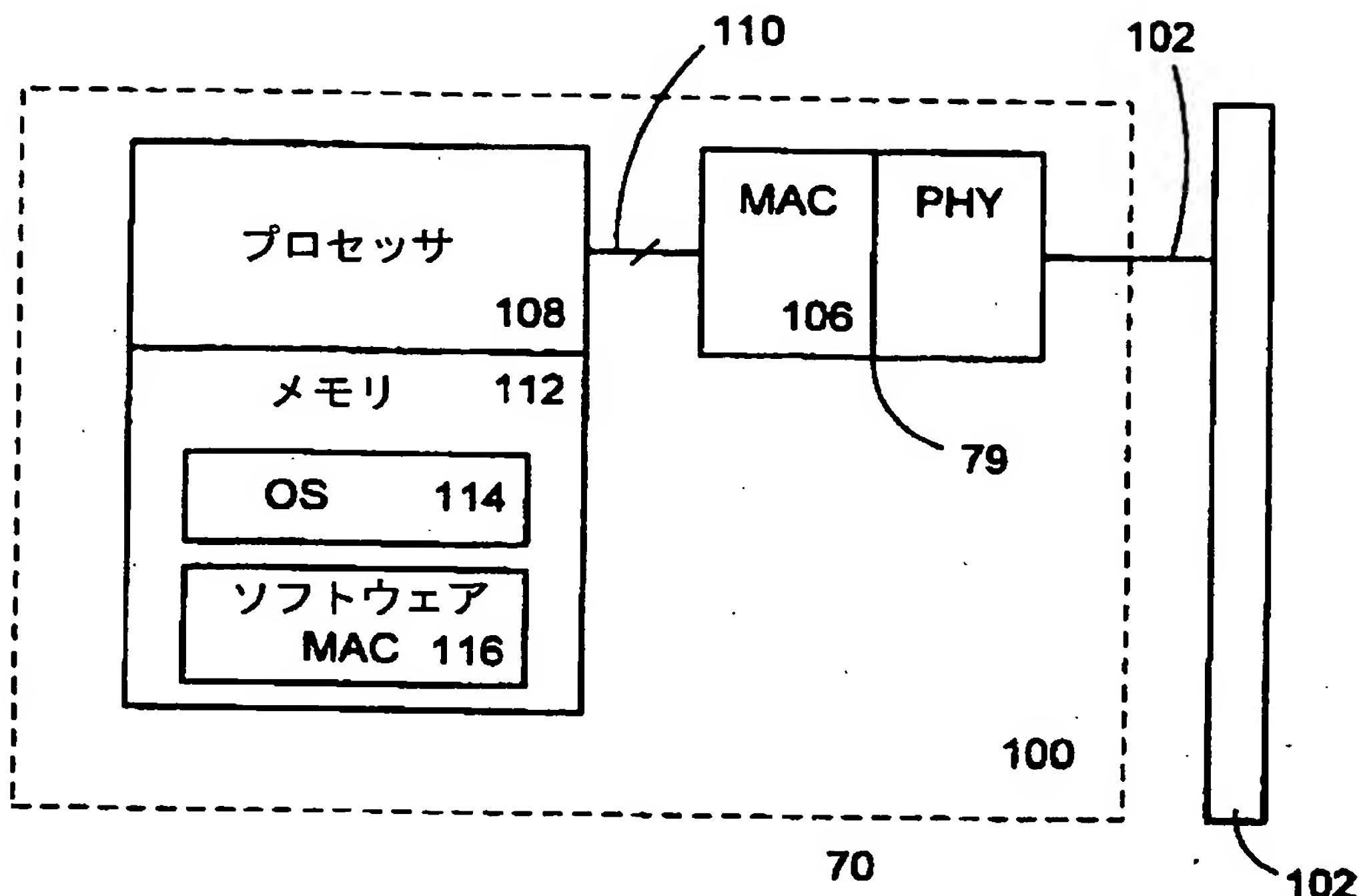
【図4】



【図5】



【図 6】



【図 7】

アドレス	略語	名称
0,1,2,3	ED	データレジスタ
4,5	BC	バイト計数レジスタ
6	CS	命令/ステータス・レジスタ
7	MII	MII レジスタ

【図 8】

データ・レジスタ								アドレス : 0,1,2,3							
ビット	7	6	5	4	3	2	1	0							
定義	D7	D6	D5	D4	D3	D2	D1	D0							

フィールド	種類	説明
D[31:0]	R/W	データ・レジスタは受信及び送信データ・バッファに対するインターフェースである。このレジスタから読み出しが行うことで、受信側 FIFOにおける次のバイトが検索されるが、書き込みを行うことで、送信側 FIFOへデータがつめこまれる。アクセスはバイト、ワード又はDワードで行うがアドレス0から開始するものとする。

【図 9】

バイト計数レジスタ								アドレス : 4,5			
ビット	7	6	5	4	3	2	1	0			
定義	D7	D6	D5	D4	D3	D2	D1	D0			
ビット	15	14	13	12	11	10	9	8			
定義	D15	D14	D13	D12	D11	D10	D9	D8			

フィールド	種類	説明
D[15:0]	R/O	受信側 FIFO に現にどれ程のデータがあるかを反映する 16 ビット値である。このレジスタがゼロを読み出すとデータがもうないことを示す。

【図 10】

命令／ステータス・レジスタ								アドレス : 6 (書き込み)			
ビット	7	6	5	4	3	2	1	0			
定義	RST								IE		

フィールド	種類	説明
IE	W	アダプターからの割込みを可能にする。
RST	W	アダプターをリセットする。 このビットは自己クリアーリーする。

【図 11】

命令／ステータス・レジスタ								アドレス : 6 (読み出し)			
ビット	7	6	5	4	3	2	1	0			
定義					BC	COL	CRS	IP			

フィールド	種類	説明
IP	R/O	割込み待機 (読み出しがリセット)
CRS	R/O	PHYからのリアルタイム 搬送センス
COL	R/O	PHYからのリアルタイム 軋轢状態
BC	R/O	PHYからのリアルタイムデータ有効

【図12】

MII レジスタ								アドレス : 7			
ビット	7	6	5	4	3	2	1	0			
定義									MW	MC	MD

フィールド	種類	説明
MD	RW	PHYのMIIに対するデータの読み書きにこのビットを利用。読み動作でPHY上のMDIOの現在値を返す。
MC	W	このビットでPHYへのMDCKピンを駆動。PHYのMIIに対する読み書きに利用。
MW	RW	MDビットが入力か出力かを判定するビット。このビットをセットすると、PHYへのMDIOピン上のMDビットの値が駆動される。PHYのMIIへの書き込み時にセットされる。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 00/40775A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H04L29/06 G06F13/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H04L G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

WPI Data, PAJ, EPO-Internal, COMPENDEX, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 647 082 A (ADVANCED MICRO DEVICES INC) 5 April 1995 (1995-04-05)	7,10
Y		1,3
A	page 1, line 25 -page 2, line 20; figures 3,5 page 8, line 16-34 page 15, line 26-32 page 15, line 52-58 page 16, line 19,20 page 17, line 25-30 page 18, line 18-20 page 21, line 1-12 page 27, line 41-44 page 28, TABLE I page 29, line 26-32 claims 3,4 ----- -/-	2,17

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the International filing date
- *L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the International filing date but later than the priority date claimed

T later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

& document member of the same patent family

Date of the actual completion of the International search

Date of mailing of the International search report

23 February 2001

02/03/2001

Name and mailing address of the ISA
European Patent Office, P.B. 5616 Patentbox 2
NL - 2280 MV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Hardelin, T

INTERNATIONAL SEARCH REPORT

International Application No	
PCT/US 00/40775	

C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 265 094 A (SCHNICKLER LEONHARD ET AL) 23 November 1993 (1993-11-23) page 8, line 39; figures 5,6	1,3
A	US 5 103 446 A (FISCHER MICHAEL A) 7 April 1992 (1992-04-07) column 16, line 14-50	6,11,13, 16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US 00/40775

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
EP 0647082	A 05-04-1995	US 4852088 A		25-07-1989
		EP 0290129 A		09-11-1988
		JP 2719522 B		25-02-1998
		JP 63257857 A		25-10-1988
US 5265094	A 23-11-1993	DE 3930316 A		21-03-1991
		AT 120062 T		15-04-1995
		CA 2041655 A		12-03-1991
		DE 59008722 D		20-04-1995
		WO 9103897 A		21-03-1991
		EP 0443003 A		28-08-1991
		ES 2072446 T		16-07-1995
		JP 8010868 B		31-01-1996
		JP 3503832 T		22-08-1991
		KR 9505114 B		18-05-1995
US 5103446	A 07-04-1992	AU 8953391 A		11-06-1992
		WO 9209151 A		29-05-1992

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW

(72)発明者 エリック・ヘンダーソン

アメリカ合衆国カリフォルニア州91320,
サウザンド・オークス, コーポレート・センター・ドライブ 2300、ザコム・イン
コーポレーテッド

Fターム(参考) 5K033 AA04 BA04 CA08 CC01 DB13

5K034 AA11 GG02 HH01 HH02 HH23

KK07